

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-114277
(43)Date of publication of application : 16.07.1982

(51)Int.Cl. H01L 29/72
H01L 29/08
H01L 29/40

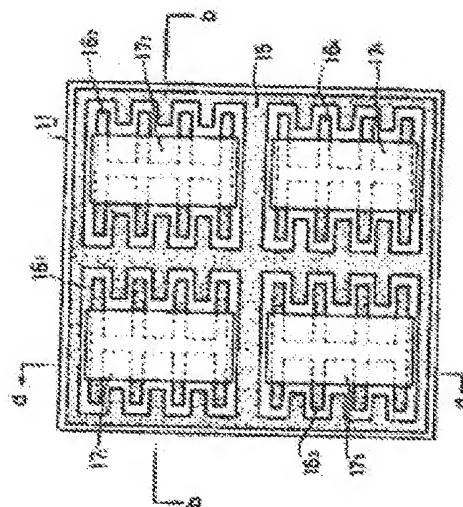
(21)Application number : 56-000617 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 06.01.1981 (72)Inventor : SAEKI SHUZO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enhance the reliability of a semiconductor device by providing a flat plate-shaped electrode terminal of a main electrode on the main electrode of a semiconductor substrate assembled with the main electrode and a control electrode in a region in which a control electrode is not provided.

CONSTITUTION: Flat plate-shaped electrode terminals 171-174 connected to main electrodes are formed on main electrodes in which a control electrode of a semiconductor substrate 11 assembled with main electrodes (emitter electrodes) 161-164 and control electrode (base electrode) 15 are provided. In this manner, a wire bonding can be facilitated to improve the reliability of a semiconductor device.



⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭57-114277

⑫ Int. CL³
 H 01 L 29/72
 29/08
 29/40

識別記号 行内整理番号
 7514-5 F
 7514-6 F
 7638-6 F

⑬ 公開 昭和57年(1982)7月16日
 発明の数 1
 審査請求 未請求

(全 8 頁)

⑭ 半導体装置

⑮ 特 願 昭56-617
 ⑯ 出 願 昭56(1981)1月6日
 ⑰ 発明者 佐伯修三
 川崎市幸区小向東芝町1番地東

京芝浦電気株式会社トランジス
 タ工場内
 ⑮ 出願人 東京芝浦電気株式会社
 川崎市幸区堀川町72番地
 ⑯ 代理人 弁理士 鈴江武彦 外2名

要 細 摘

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体基板の正面に設けられた一層膜と、この不純物領域内にその領域の同一平面に露出するように設けられ、少なくとも一部が該領域に対して相対に入り込んだ形状をなす逆導電性の第3不純物領域と、これら不純物領域上の一部に夫々設けられた第1電極および第2電極と、前記第1不純物領域および第2不純物領域が相互に入り込んだ部分に該膜された前記第3電極の平板状電極粒子とを具備し、前記平板状電極粒子が該膜された領域外の第1不純物領域上に前記第3電極に対して分離した前記第1電極を設け、かつ前記平板状電極粒子を第1電極の存在しない領域の第3電極上に設置したことを特徴とする半導体装置。

3. 発明の詳細を説明

本発明は半導体装置に属し、より具体的には

パワー半導体装置において大電流を取出すための端子構造に関する。

例えばパワートランジスタでは、電流増幅率を増大するためには、スイッチ領域とベース領域とを互いに入り組ませて両者間の対向長を大きくした構造が採用されている。第1図(a)はこのように形成されたパワートランジスタの平面図、第1図(b)および(c)は第1図(a)のA-A'断面、C-C'断面に沿った断面図である。これらの図において、1はコレクタ領域を兼ねたシリコン基板である。該シリコン基板上の正面にはドーピングされたベース領域2が形成されている。ベース領域2には4つの独立したドーピングエミッタ領域41、42、43、44がシリコン基板上の正面に露出して埋込形成されている。各エミッタ領域41～44は、中央の幹部からその両側で絶縁状に突出した入り組んだ形状を有している。この形状は第1図(b)のD-D'断面に沿った断面図である第1図(c)に現われている。両図(b)において41～44はエミッタ領域41の形状突起であり、45

～ δ とはエミッタ領域 δ の形状突起である。従ってベース領域 δ とエミッタ領域 δ ～ δ とは、エミッタ領域の形状突起の部分で相互に入り込んでいる。上記オース領域 δ の露出表面にはA層からなるベース電極 δ が形成されており、エミッタ領域 δ ～ δ 上にはA層からなるエミッタ電極 δ ～ δ が形成されている。この結果、第1回図に示すように、ベース電極 δ とエミッタ電極 δ ～ δ とは相互に入り込んだ状態になっている。第3回図～(3)において、 δ はコレクタ電極である。

上記構成からなる従来のパワートランジスタにおけるベース端子およびエミッタ端子の取出しは、ベース電極 δ およびエミッタ電極 δ ～ δ にA層からなる取出しリードを粗音波移除などの方法で接続して行なわれていた。これは、ベース電極 δ およびエミッタ電極 δ ～ δ の軸が数個で、かつベース電極 δ と同一レベルにあるため、これ以外に端子の取出しができないからである。この場合、ベース電極 δ の取出し

リードは一本です。しかもベース電流は比較的小さいからそれ程問題にはならない。しかし、エミッタ電極からの取出しリードは各エミッタ電極 δ ～ δ の夫々に必要であり、この場合夫々のエミッタ電極 δ ～ δ から取出されると本の取出しリードは共通の集電端子に接続される。そして、このように取出されたエミッタ電極 δ ～ δ からの取出しリードを流れるエミッタ電流は極めて大きい。従って、このように細いA層からなる複数取出しリードをワイヤーベンディングして集電端子を形成したパワートランジスタでは取出しリードの接続部における信頼性の点で問題があった。また、電源電圧100V以上の直流電源で使用することが多いから、トランジスタが故障した場合に取出しリードが壊れ、壊断部ではアーカが発生して端子の危険があるなどの問題があった。

そこで、このよう問題を解決するため、エミッタ領域を突出させた構造を有する同様のパワートランジスタが製造されている。第2回

(a) および (c) にその一例を示す。回路 (a) ～ (c) は第1回図および(b)に対応する断面図である。平面図は第1回図 (a) と同一であるため省略した。これら断面図に示すように、4つの独立したエミッタ領域 δ ～ δ はベース領域 δ の表面から突出して形成されている。また、第1回図 (b) ～ (c) に対応する部分には同一の参照番号を付してある。上記構成からなるパワートランジスタだけ、第1回図に対応する断面図である第2回図 (d) で示すように、エミッタ領域 δ ～ δ 上を覆う導電性の金属平板 δ を各エミッタ電極 δ ～ δ に圧着または接着することにより集電端子を形成することができる。従って、各エミッタ電極からの取出しリードによってエミッタから集電端子を形成したときのワイヤーベンディングの信頼性の問題および取出しリードの壊断等の問題は生じない。しかし、この場合にはエミッタ領域 δ ～ δ を突出構造とするためにシリコン基板上の表面をエミッタ領域 δ ～ δ の形状にあわせてメカエッティングしなければな

らず、製造工程が複雑になり、特にエミッタ領域が複数の場合にはこのメカエッティング 자체が極めて困難であるという問題があった。

本発明は上述の事情に鑑みてなされたもので、例えばパワートランジスタのエミッタ電極のように大電流が流れ多層構造の主電極に對して信頼性の高い共通の集電端子を形成でき、かつ製品を製造工場で製造できる構造を具備した半導体装置を提供するものである。

以下第3回図 (a) ～ (d) を参照して本発明の1実施例を説明する。

第3回図 (a) ～ (d) は本発明の1実施例になるパワートランジスタの平面図。第3回図 (a) ～ (d) は夫々回路 (a) ～ (d) におけるトランジスタの断面構造である。これらの図において上部はコレクタ電極を兼ねたシリコン基板である。該シリコン基板上上の主面側には第1不純物領域としてのA層のベース電極 δ ～ δ が形成されている。このベース電極 δ ～ δ には第2不純物領域としての4つの独立したエミッタ電極

141～144がシリコン基板上上の主面に露出して構造形成されている。各エミッタ領域、145～148は中央の幹部と、該幹部の両側に突出した多数の橋状突起からなる入り組んだ形状を有している。この状態は第1回転に示されている。同図において、149～152はエミッタ電極141～144の橋状突起であり、153～156はエミッタ電極145～148の橋状突起である。従って、ベース電極133とエミッタ電極141～144とは、エミッタ電極の橋状突起の部分で相互に入り込んでいる。上記各エミッタ電極141～144上にはALの蒸着層からなる第2電極としてのエミッタ電極161～164が次第形成されている。その結果、エミッタ電極161～164はエミッタ電極141～144の各橋状突起に対応した橋状突起を有する。これら次々のエミッタ電極161～164上には、導電性の金属からなるエミッタ電極端子171～174が、エミッタ電極における橋状突起の一部を残って設けられている。このエミッタ電極

端子171～174は対応するエミッタ電極141～144に接合されていてもよく、また圧接する構造としてもよい。他方、前記ベース電極133上にはALの蒸着層からなるベース電極18がエミッタ電極161～164と分離して形成されている。ただし、ベース電極18がエミッタ電極141～144の橋状突起と相互に入り込んで形成されている部分においては、この部分に設けられた前記エミッタ電極端子171～174で覆われたベース電極18上には第2電極としてのベース電極18が形成されていない。従って、エミッタ電極端子171～174はベース電極18とエミッタ電極141～144が相互に入り込んだ部分を覆っているが、ベース電極18とは接触せず、対応するエミッタ電極161～164のみと接触している。なお、第1回転～(4)において、133はコレクタ電極である。

以上の構成からなる本発明のパワートランジスタでは、エミッタ電極161～164のみに

焼熱し、ベース電極133よりも上方に突出したエミッタ電極端子171～174を残してあるから、このエミッタ電極端子171～174上に令発半導体を接合または押圧することにより、エミッタ領域141～144の全てに接続されたエミッタ電極端子を形成することができる。これを第3回転の断面図に対応する断面図で示したのが第4回である。同図において、191がエミッタの半導体である。従ってエミッタ電極171～174の先々からこれにポンティングされた取出しリードを用いずにエミッタの半導体を形成でき、取出しリードにおけるポンティングの導電性の問題および取出しリードの断面の問題を回避することができる。またエミッタ電極141～144自身を突出構造にしなくてもよいから、メサエタチングを行なう必要がなく、製造工程が簡略化されることともない。

ところで、上記本発明によるパワートランジスタでは、ベース電極133とエミッタ電極161～164が相互に入り込んだ部分において、ベース電

極133のエミッタ電極端子171～174で覆われた部分にはベース電極133が形成されていない。従って、ベース電極が形成されていないベース電極133の部分ではベース抵抗が増大することとなる。しかし、ベース電極は電流増幅率を1としてコレクタ電流の1/10。通常のパワートランジスタでは1/10と小さいから、上記本発明のパワートランジスタにおけるベース抵抗の増大による電流増幅率(1)の低下は比較的小くすむ(もし、エミッタ抵抗が増大するのであれば、これによる電流増幅率(1)の低下はベース抵抗が増大する場合の10倍となる)。このように、本発明によるパワートランジスタはベース抵抗の多少の増大を容認し、その代償として製造が容易でかつ信頼性の高い複数エミッタからの半導体端子構造を達成したものである。

なお、本発明は複数個のパワートランジスタのエミッタ電極から共通の集電端子を形成する場合にも適用することができる。このとき、個別のパワートランジスタが上記実施例のよう

複数の独立したエミッタ電極を有するものである場合、また单一のエミッタ電極を有するものである場合の例れの場合にも本発明の適用することができる。

また、上記実施例において、例えはエミッタ領域 141 の樹状突起が独立したエミッタ領域として形成され、この各エミッタ領域上にエミッタ電極が形成されていたとする。この場合、エミッタ電子 142 はそのままこれら独立したエミッタ電極の集電端子となる。本発明におけるこのような実施例の平面図を第5図に示す。同図において、 20 はベース電極、 211 ～ 216 はエミッタ電極、 22 はエミッタ集電端子である。この様の実施例の変形例の平面図を第6図に示す。同図において、 $20'$ はベース電極、 $211'$ ～ $216'$ はエミッタ電極、 $22'$ はエミッタ集電端子である。この変形例は全体の形状が円形であり、大きさの異なる複数の独立したエミッタ領域が放射状に形成されている点で第5図の実施例と相違しているが、両者は同じ種類の実施例であ

る。

更に、本発明はパワートランジスタのみならずパワートランジスタのベース電極およびエミッタ電極に対応する第1電極および第2電極（第1電極を流れる電流が第2電極を流れる電流よりもかなり小さい電極にあるもの）を有し、かつその両者が半導体基板の同一表面上に形成される他のパワー半導体装置にも適用することができる。このような半導体装置としては、例えは第1電極としてのゲート電極および第2電極としてのカソードを有するゲートターンオフサイリスタ、第1電極としてのゲート電極および第2電極としてのソース電極またはドレイン電極を有する大電力の勢電離導通トランジスタを挙げることができる。

以上詳述したように、本発明によれば、主電極（上述の第2不純物領域）領域と副電極領域（上述の第1不純物領域）が入り組んだ状態で半導体基板の同一表面上に露出して形成され、主電極領域上に形成された複数の主電極から共

通の集電端子が形成されたパワー半導体装置において、電離性が高く、かつ製造が容易な前記集電端子構造を具備したパワー半導体装置を提供できるものである。

4. 図面の簡単な説明

第1図(a)は従来のパワートランジスタの平面図、第1図(b)～(d)は夫々同図(a)における 2 ～ 2 ’、 3 ～ 3 ’線および 3 ～ 3 ’線に沿う断面図、第2図(b)および(c)はエミッタ領域を突出構造とした従来のパワートランジスタの第1電極および第2電極に対する断面図、第3図(d)は突出エミッタ構造のパワートランジスタにエミッタ集電端子を形成した第1電極に対する断面図、第3図(e)は本発明の1実施例となるパワートランジスタの平面図、第3図(f)～(g)は同図(e)の 2 ～ 2 ’線、 3 ～ 3 ’線および 3 ～ 3 ’線に対する断面図、第4図は第3図(e)～(g)に示される本発明の1実施例となるパワートランジスタに複数エミッタの集電端子を形成した第3図(f)に対する断面図、第5図および第6図は本発明の他の

実施例となるパワートランジスタの平面図である。

上記シリコン基板、 18 ～ 19 ～ベース電極、 141 ～ 146 ～エミッタ領域、 20 ～ベース電極、 211 ～ 216 ～エミッタ電極、 22 ～ $22'$ ～エミッタ電極、 23 ～コレクタ電極、 24 ～集電端子、 25 ～ 26 ～ベース電極、 271 ～ 276 ～ 277 ～エミッタ電極、 28 ～ 29 ～集電端子。

出願人代理人弁護士 鈴江武彦

図1

(A)

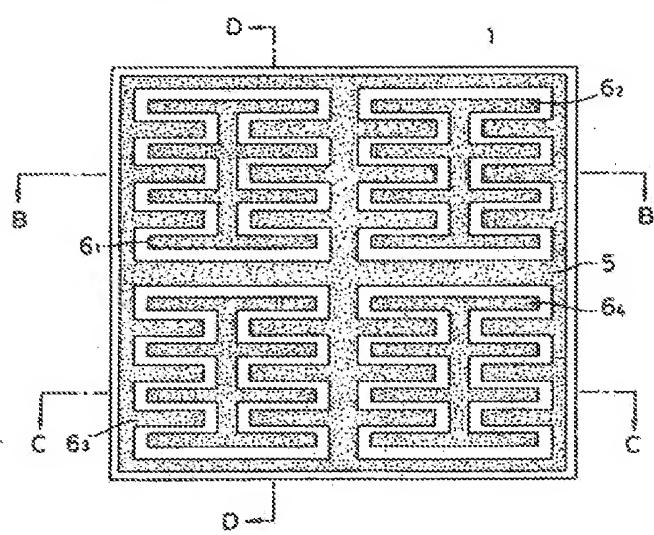
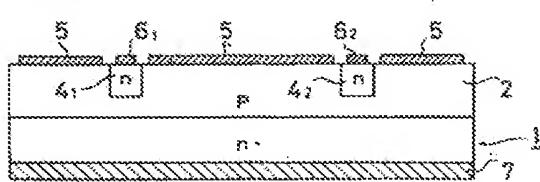
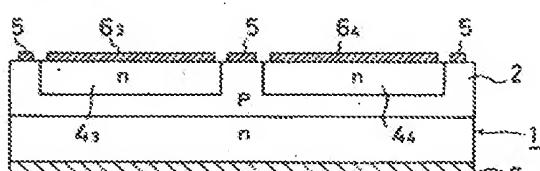


図1

(B)



(C)



(D)

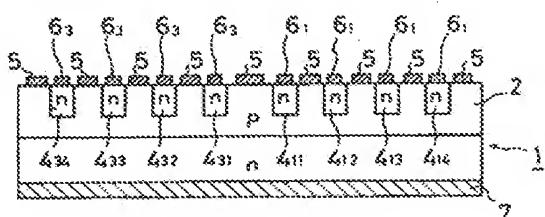
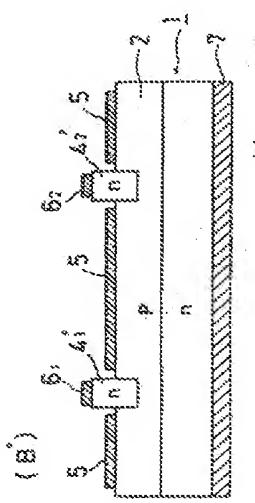
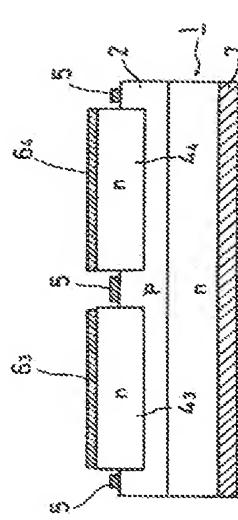


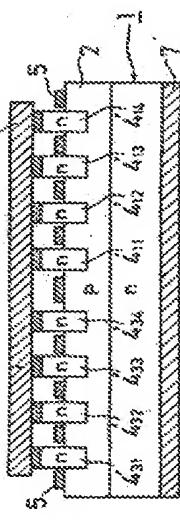
図2

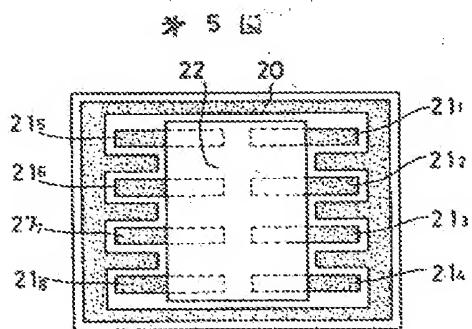
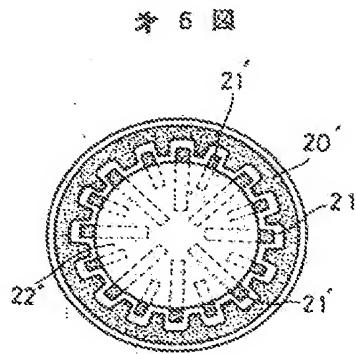
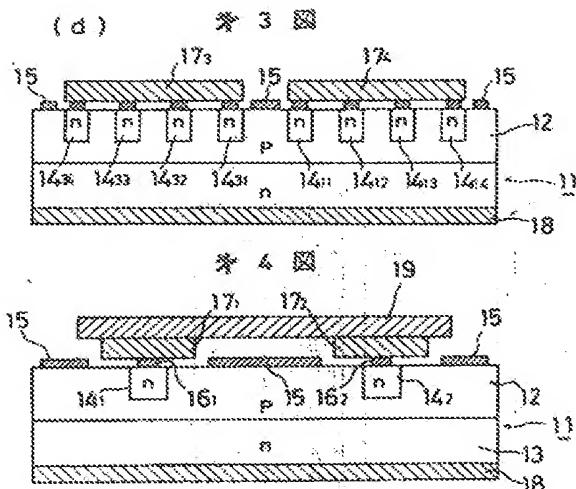
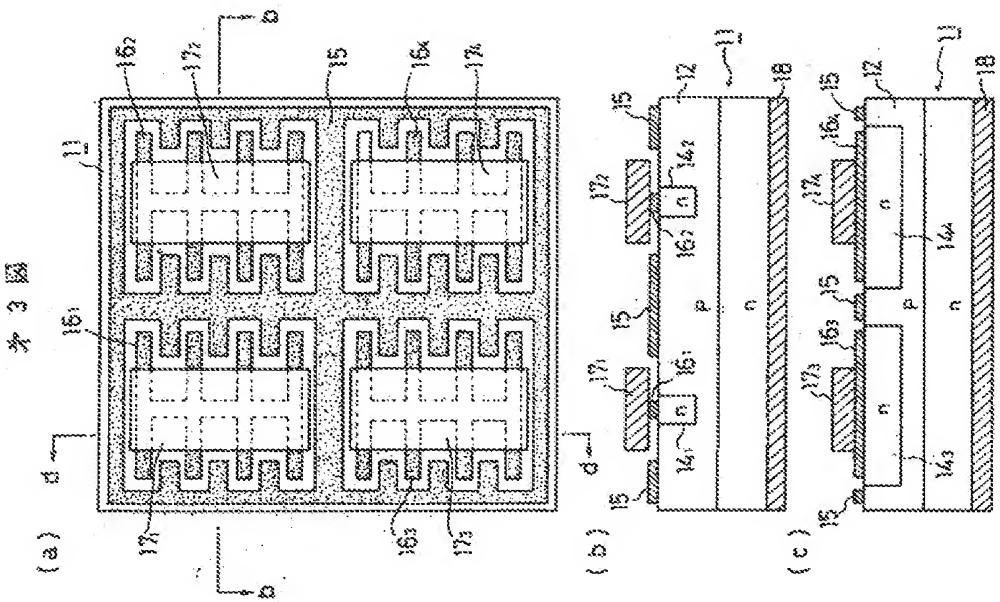


(C)



(D)





手 続 補 正 書 (方式)

昭和 56 年 5 月 25 日

特許庁長官 為 田 春 雄 殿

1. 事件の表示

特許番号 5,616,177 号

2. 発明の名称

半導体装置

3. 補正をする者

事件との関係 特許出願人

(307) 東京芝浦電気株式会社

4. 代理人

住所 東京都港区虎ノ門1丁目26番5号 第17ビル
平105 電話 03(502)3-1811 (大代表)

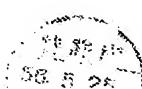
氏名 (5847) 有理江 鈴 江 武彦

5. 補正命令の日付

昭和56年4月28日

6. 補正の対象

明細書、図面



7. 補正の内容

- (1) 別紙の第2図(A)を加入します。
- (2) 第2図(B')、第2図(C')、および第2図(D')を別紙図面に赤字で示す通り訂正します。
- (3) 明細書第13頁第8行～第13行に「第2図(B')および(C')はエミッタ領域を…第1回線に對応する断面図、」とある記載を、「第2図(A)はエミッタ領域を突出構造とした従来のパワートランジスタの平面図。第2図(B')および(C')は矢々断面(A)におけるB～B線およびC～C線に沿う断面図、第2図(D)は断面(A)～(D)のパワートランジスタにエミッタ集電端子を形成した状態を細則(A)のD～D線に沿う断面図で示す図。」と訂正します。
- (4) 明細書第4頁第20行～第5頁第13行に「第2図(B')および(C')にその一例を示す。…形成することができる。」とある記載を、「第2図(A)はその1例を示す平面図であり、第2図(B')および(C')は矢々断面(A)のB～B線およびC～C線に沿う断面図である。」

これらの図に示すように、4つの独立したエミッタ領域(α_1')～(α_4')はベース領域2の表面から突出して形成されている。それ以外は第1回線(A)～(D)のパワートランジスタと同じ構造(従つて、平面図は两者とも全く同一である)を有し、対応する部分には同一の参照番号を付してある。

上記構造からなるパワートランジスタでは、第2図(A)のD～D線に沿う断面図により示すように、エミッタ領域(α_1')～(α_4')上を覆う導電性の金属層3を各エミッタ電極6₁～6₄に圧着または接合することにより集電端子を形成することができる(第2図(B)図示)。」と訂正します。

第2回

(A)

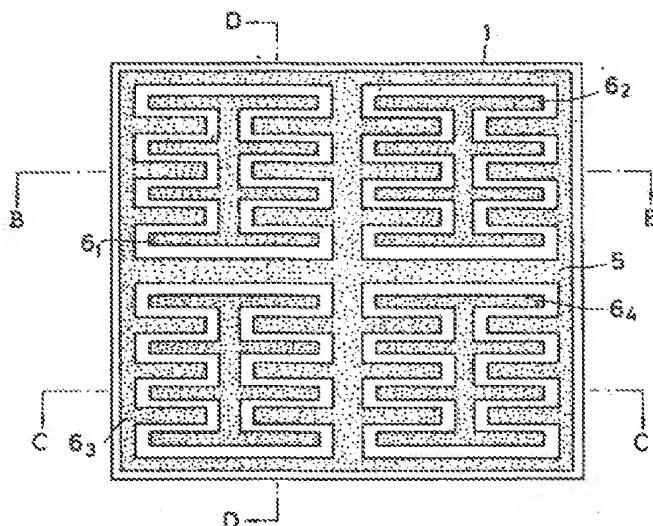


Fig. 2

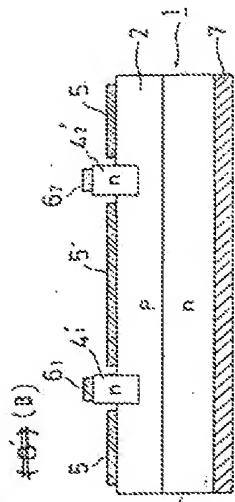


Fig. (C)

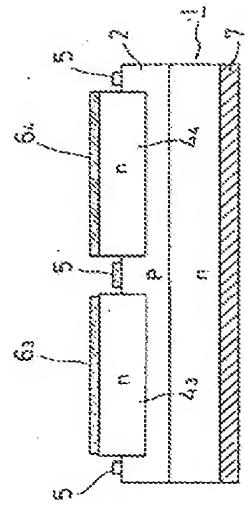


Fig. (D)

